

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-154423

⑬ Int. Cl.⁴

H 02 H 9/04
H 01 L 27/04
29/78
H 02 H 7/20

識別記号

庁内整理番号

C-6959-5G
Z-7514-5F
8422-5F
F-6959-5G

⑭ 公開 昭和61年(1986)7月14日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 サージ吸収回路

⑯ 特 願 昭59-273694

⑰ 出 願 昭59(1984)12月27日

⑱ 発 明 者 岡 田 和 義 横浜市神奈川区宝町2番地 日産自動車株式会社内
⑲ 発 明 者 広 田 幸 嗣 横浜市神奈川区宝町2番地 日産自動車株式会社内
⑳ 出 願 人 日産自動車株式会社 横浜市神奈川区宝町2番地
㉑ 代 理 人 弁理士 中村 純之助

明 細 書

1. 発明の名称 サージ吸収回路

2. 特許請求の範囲

抵抗と、該抵抗の一方の端に接続された電圧クランプ回路と、該電圧クランプ回路の出力端に接続された反転回路と、該反転回路の入力端と出力端間に接続された帰還容量とを備え、上記抵抗の他方の端に入力するサージを吸収するサージ吸収回路。

3. 発明の詳細な説明

〔発明の利用分野〕

本発明は高周波のサージ電圧を吸収する回路に関し、特に、半導体集積回路に適したサージ吸収回路に関するものである。

〔従来技術〕

自動車の電子システムにおける入力信号の多くは、メカニカルな接点から発生するものが多い。

このようなメカニカルなスイッチがオフになる際には、配線のインダクタンスと帰還容量との組

合せによって、高周波のサージ電圧が発生する。

上記のサージ電圧は、例えば第4図に示すごとく、ピーク電圧が±300V程度、周波数が1MHz程度、半減期が約10μs程度のものが生ずる。

上記のような高周波のサージに対するCMOS集積回路のサージ保護回路としては、例えば特許願昭和50年110553号に記載されているものがある。

第5図は上記のごときサージ保護回路の一例の回路図である。

第5図において、入力端子1と集積回路4の入力端子5との間に、抵抗2とコンデンサ3とからなるフィルタが接続されており、このフィルタによってサージを吸収するように構成されている。

〔発明が解決しようとする問題点〕

上記第5図の回路において、サージのピーク電圧を V_p 、CMOS回路の入力スレッショールド電圧を V_{th} 、サージの周波数を f 、抵抗2の抵抗値を R 、コンデンサ3の容量を C とすれば、下記(1)式が成立する。

$$V_p/V_{th} \approx 2\pi fCR \quad \dots\dots (1)$$

上記(1)式において、 $V_p=300V$ 、 $V_{th}=6V$ 、 $f=1MHz$ 、 $R=100k\Omega$ とすれば、コンデンサ3の容量Cは、 $80pF$ 以上あればよいことがわかる。

しかし、 $80pF$ という大きな容量を集積回路内部に内蔵するのは、占有面積が非常に大きくなるため実用的でない。

例えばゲート酸化膜によって、 $80pF$ の容量を形成するためには、 $0.5 \times 0.5mm$ の大きさが必要であり、集積回路内部における占有面積が非常に大きくなってしまふ。

そのため、第5図の抵抗2とコンデンサ3とは集積回路の外部に個別部品として設けることが必要になるので、コスト及び小形化の点で問題があった。

なお、前記の回路において、抵抗2の値Rを大きくすれば、コンデンサ3の容量Cを減少させることが出来るが、Rが大きくなると入力インピーダンスが高くなり、誤動作の恐れが生じるので、実用的には前記の $100k\Omega$ 程度が適当である。

及びpウェルとpウェル内に形成された n^+ 拡散層とによるダイオード6bから構成されている。

この電圧クランプ回路6の出力端すなわちB点は、抵抗7を介してCMOSインバータ8の入力端すなわちC点に接続されている。

また、抵抗7は集積回路4内に形成したポリシリコン抵抗や拡散抵抗を用いることが出来る。

CMOSインバータ8は、pチャンネルCMOSトランジスタ T_{11} とnチャンネルCMOSトランジスタ T_{12} とから構成されており、その入力端C点と出力端D点との間には、ミラー効果を生ずるコンデンサ9が接続されている。

第2図は、上記のコンデンサ9を含むCMOSインバータ8の集積回路の一実施例の断面図である。

第2図において、11はn形シリコン基板、12はpウェル層、13及び14はゲート酸化膜、15及び16はゲート電極、17、18は p^+ 層、19、20は n^+ 層、21はフィールド酸化膜、22はAl配線である。

そして、13、15、17及び18によってpチャネル

本発明は上記の問題を解決するためになされたものであり、コンデンサを集積回路内部に収納可能なサージ吸収回路を提供することを目的とする。

〔問題を解決するための手段〕

上記の目的を達成するため本発明においては、集積回路内部の反転回路の入力端と出力端間にコンデンサを接続し、ミラー効果を利用して見掛け上の容量を大きくすることにより、小面積で有効なサージ吸収回路を形成するように構成している。

〔発明の実施例〕

第1図は本発明の一実施例の回路図である。

第1図において、抵抗2は入力端子1と集積回路4の入力端子5との間に接続されている。

なおこの抵抗2は、後述するごとく、集積回路4の内部に形成することも可能である。

また、集積回路4内において、CMOS構造におけるゲート電極の静電気対策として、電圧クランプ回路6が形成されている。

この電圧クランプ回路6は、 p^+ 拡散抵抗6a

ルCMOSトランジスタ T_{11} が形成されており、また、14、16、19及び20によってnチャンネルCMOSトランジスタ T_{12} が形成されている。

また、CMOSトランジスタ T_{12} のゲート電極16と n^+ 層(ドレイン拡散層)19とはコンデンサ9を構成しており、CMOSトランジスタ T_{11} とは一部がオーバーラップしている。

次に第3図は第1図の回路の電圧波形図であり、A～Dはそれぞれ第1図の同符号を付した個所の電圧波形を示す。

以下、第3図に基づいて第1図の回路の作用を説明する。

入力端子1に、第3図Aに示すとき高周波サージが入力すると、電圧クランプ回路6によって電源電圧 V_d あるいはグランド電圧(0V)にクランプされるため、B点の電圧波形は第3図Bに示すようになる。

なお、抵抗2は数十 $k\Omega$ 程度の値を有し、サージによってダイオード6bに流れるクランプ電流を制限する。

次に上記のようにしてクランプされたB点の電圧は、抵抗7とコンデンサ9とによるCR積分回路によって積分され、第3図Cに示すとき積分波形になる。

なお、第3図Cの波形は、抵抗7の抵抗値を100 k Ω 、コンデンサ9の静電容量を1 pF、CMOSインバータ8のpチャンネルトランジスタ T_{11} のチャンネル幅Wとチャンネル長Lとを $W/L=300/40$ 、nチャンネルトランジスタ T_{12} のチャンネル幅とチャンネル長を $W/L=150/40$ とした場合のシミュレーション結果である。

第3図Cからわかるように、CMOSインバータ8の入力端すなわちC点の電圧は、スレッショールド電圧 $V_d/2$ を超えていないため、D点の波形は第3図Dに示すように、電源電圧 V_d を保ち、高周波サージを吸収していることがわかる。

上記のように第1図の回路においては、コンデンサ9の容量が1 pF程度で十分高周波サージを吸収することが出来る。

電圧クランプ回路としてツェナダイオード10を用いた場合を示す。

第6図のように構成すれば、n形シリコン基板（電位は V_d である）に流れ込む電流がなくなるため、ラッチアップの恐れがなくなる。

なお、ツェナダイオードはpウェル内に形成したpn接合によって実現することが出来る。

その場合、CMOSインバータ8のスレッショールド電圧（通常は電源電圧 V_d の1/2）よりやや高めにツェナ電圧を設定すれば、抵抗7とコンデンサ9との積分回路の充電時間を長くすることが出来るので、サージ吸収効果を高めることが出来る。

例えば電源電圧が12Vの場合、ツェナ電圧を8Vに設定するためには、pn接合における p^+ 表面濃度を $1 \times 10^{18}/\text{cm}^2$ 程度にすればよい。

次に第7図は本発明の第3の実施例図である。

この実施例は、CMOSインバータ8の代わりシュミットトリガ回路11を用いた例である。

シュミットトリガ回路を用いた場合には、抵抗

前記第2図の構成において、1 pFの静電容量を形成するには、ゲート酸化膜14の厚さを1000 Åとした場合に、占有面積は2800 μm^2 となる。

従って、50 μm 角程度の極めて小さな面積で形成することが可能となる。

なお、第2図においては、nチャンネルCMOSトランジスタのドレイン拡散層とゲート電極とのオーバーラップによってコンデンサ9を形成した場合を例示したが、pチャンネルCMOSトランジスタ T_{11} のドレイン拡散層とゲート電極とのオーバーラップによって形成しても同様である。

また、抵抗2とコンデンサ9との時定数を大きくすれば、抵抗7を省略しても高周波サージの吸収は可能である。

また、第2図においては、抵抗2を集積回路4の外部に設けた場合を示しているが、ポリシリコン抵抗等によって集積回路4の内部に形成することも可能であり、集積回路周辺の個別部品をなくすることも出来る。

次に第8図は本発明の第2の実施例図であり、

7とコンデンサ9とによる積分回路の充放電時間を長くすることが出来るので、サージ吸収効果を高めることが出来る。

なお、シュミットトリガ回路11を構成している各トランジスタ $T_1 \sim T_{10}$ の設計値の一例を下記に示す。

チャンネル幅(μm) チャンネル長(μm)

T_1	24	15
T_2	17	7
T_3	19	7
T_4	19	7
T_5	14	7
T_6	14	6
T_7	17	6
T_8	24	7
T_9	24	7
T_{10}	24	13

〔発明の効果〕

以上説明したごとく、本発明においては、抵抗と、該抵抗の一方の端に接続された電圧クランプ

回路と、該電圧クランプ回路の出力端に接続された反転回路と、該反転回路の入力端と出力端間に接続された帰還容量とを備えた構成としているので、ミラー効果によって帰還容量の見掛け上の値を大きくすることが出来、そのため、集積回路内に形成する上で実用上問題のない程度の容量値（1 pF程度）のコンデンサで高周波サージを十分吸収することが可能となる。

従って、集積回路の外部に独立したコンデンサを設ける必要がなくなり、コストが安くなるとともに、装置を小形化することが可能となる。なお抵抗を集積回路内部に設けることは容易であるから本発明によってサージ吸収回路全体を集積回路内部に設けることが可能となる。

また、第6図の実施例においては、電圧クランプ回路にツェナダイオードを用いているため、シリコン基板へ流れ込む電流がなくなり、CMOS回路特有のラッチアップ現象を生じる恐れがなくなるという効果がある。

また、ツェナ電圧をCMOSインバータのスレ

ツッシュホールド電圧よりやや高めに設定することにより、積分回路の充電時間を長くすることが出来るので、高周波サージの吸収効果を高めることが出来る。コンデンサ9の容量をさらに小さくすることが出来る。

また、第7図に示す実施例においては、シュミットトリガ回路を用いているので、積分回路の充放電時間を長くすることが出来、高周波サージの吸収効果を高めることが出来るので、コンデンサの容量をさらに小さくすることが出来る。

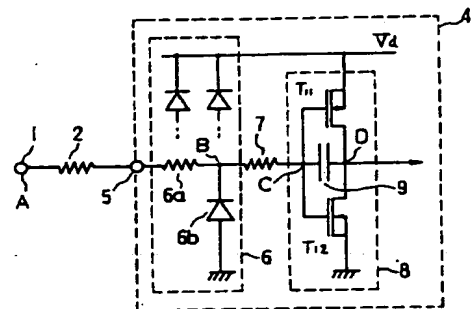
4. 図面の簡単な説明

第1図は本発明の一実施例の回路図、第2図は本発明の集積回路の一実施例の断面図、第3図は第1図の回路の電圧波形図、第4図はサージ電圧波形図、第5図は従来例の一例図、第6図及び第7図は本発明の他の実施例図である。

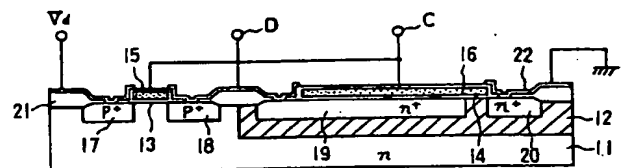
符号の説明

- 1 … 入力端子 2 … 抵抗
3 … コンデンサ 4 … 集積回路
5 … 集積回路の入力端子

才 1 図



为 2 图



- | | |
|-----------------|-------------------|
| 1 --- 入力端子 | 6a --- P^+ 拡散抵抗 |
| 2 --- 抵抗 | 6b --- ダイオード |
| 4 --- 集積回路 | 7 --- 抵抗 |
| 5 --- 集積回路の入力端子 | 8 --- CMOSインバータ |
| 6 --- 電圧クランプ回路 | 9 --- コンデンサ |

代理人弁理士 中村 純之助

図 3

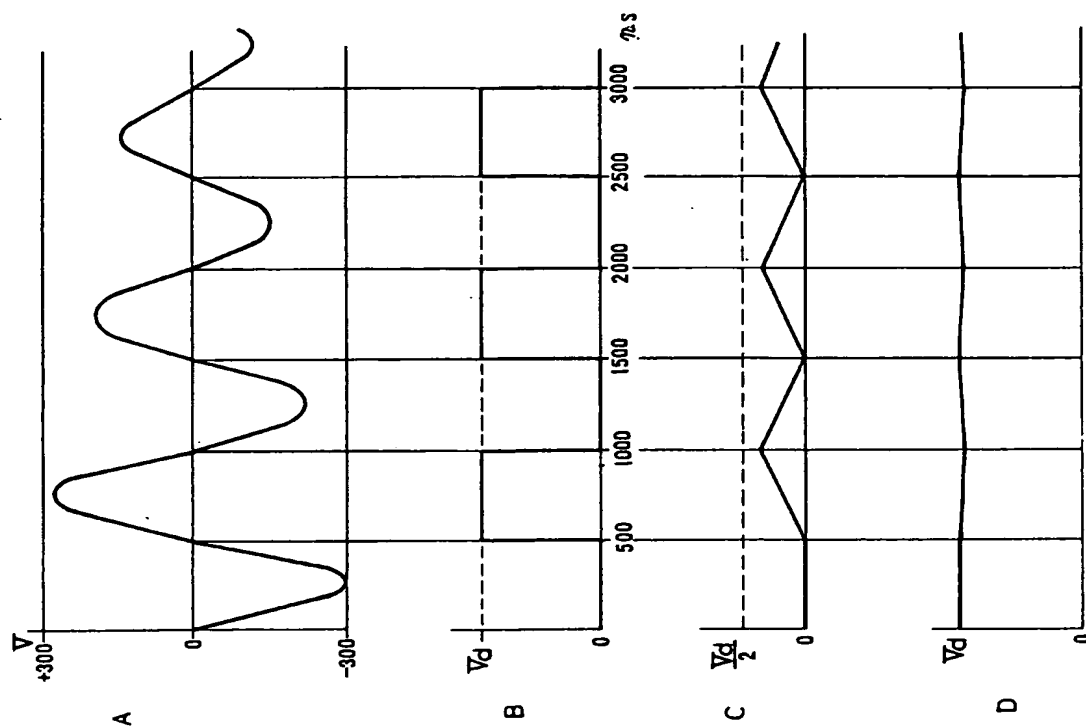


図 4

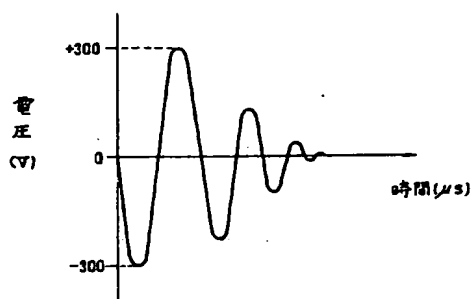


図 5

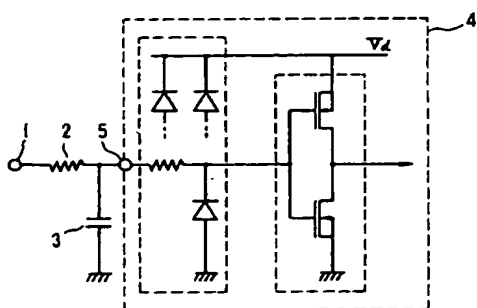


図 6

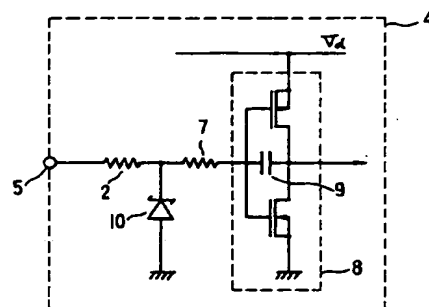


図 7

